

Priority Paper
6.25c
C.Wills
J1011 U.S. PRO
10/055722
01/23/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Akio KITAMURA

Batch:

Serial No.: NEW APPLICATION

Group Art Unit:

Filed: January 23, 2002

Examiner:

For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND
MANUFACTURE METHOD THEREFORE

CLAIM FOR PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. § 119 is hereby claimed:

JAPAN 2001-015042 January 23, 2001

In support of this claim, a certified copy of said original foreign application is filed herewith. It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

Marc A. Rossi
Marc A. Rossi
Registration No. 31,923

01/23/02
Date

Attorney Docket: FUJI:203

日本国特許庁
JAPAN PATENT OFFICE

J1011U.S.PTO
10/05/22
01/23/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2001年 1月23日

出願番号

Application Number:

特願2001-015042

出願人

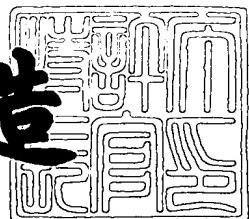
Applicant(s):

富士電機株式会社

2001年11月30日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3104477

【書類名】 特許願
【整理番号】 00P01371
【提出日】 平成13年 1月23日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明者】
【住所又は居所】 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
【氏名】 北村 明夫
【特許出願人】
【識別番号】 000005234
【氏名又は名称】 富士電機株式会社
【代理人】
【識別番号】 100104190
【弁理士】
【氏名又は名称】 酒井 昭徳
【手数料の表示】
【予納台帳番号】 041759
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0008358
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置およびその製造方法

【特許請求の範囲】

【請求項1】 同一半導体基板上に第1のMOSトランジスタと第2のMOSトランジスタとが集積され、前記第2のMOSトランジスタは前記第1のMOSトランジスタよりもしきい値電圧が低く、一方、前記第1のMOSトランジスタは前記第2のMOSトランジスタよりもチャネル長が短く、かつ前記第1のMOSトランジスタのソース領域およびドレイン領域を囲み、前記ソース領域と前記ドレイン領域との間のパンチスルーベーストッパー領域を有することを特徴とする半導体集積回路装置。

【請求項2】 前記第1のMOSトランジスタはデジタル回路を構成し、一方、前記第2のMOSトランジスタはアナログ回路を構成することを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記半導体基板上に、ドレイン領域が該ドレイン領域よりも不純物濃度が低いオフセットドレイン領域により囲まれ、かつ少なくとも前記オフセットドレイン領域にはパンチスルーストッパー領域を備えていない高耐圧MOSトランジスタがさらに集積されていることを特徴とする請求項1または2に記載の半導体集積回路装置。

【請求項4】 前記高耐圧MOSトランジスタのソース領域を囲み、前記高耐圧MOSトランジスタのソース領域と前記オフセットドレイン領域との間のパンチスルーベーストッパー領域が設けられていることを特徴とする請求項3に記載の半導体集積回路装置。

【請求項5】 前記半導体基板上に、パンチスルーストッパー領域を備えていないバイポーラトランジスタがさらに集積されていることを特徴とする請求項1～4のいずれか一つに記載の半導体集積回路装置。

【請求項6】 前記半導体基板上に、パンチスルーストッパー領域を備えていないダイオードがさらに集積されていることを特徴とする請求項1～5のいずれか一つに記載の半導体集積回路装置。

【請求項7】 前記半導体基板上に、パンチスルーストッパー領域を備えて

いない拡散抵抗がさらに集積されていることを特徴とする請求項1～6のいずれか一つに記載の半導体集積回路装置。

【請求項8】 ソース領域とドレイン領域との間のパンチスルーノードを確保するためのパンチスルーストッパー領域を備えたMOSトランジスタと、一部または全部の領域にパンチスルーストッパー領域が不要な半導体素子とが、同一半導体基板上に集積された半導体集積回路装置を製造するにあたり、

前記MOSトランジスタのゲート電極となるゲートポリシリコンを形成する前に、前記半導体素子をマスクしながらイオン注入法により、前記MOSトランジスタの形成領域に前記パンチスルーストッパー領域を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項9】 ソース領域とドレイン領域との間のパンチスルーノードを確保するためのパンチスルーストッパー領域を備えたMOSトランジスタと、一部または全部の領域にパンチスルーストッパー領域が不要な半導体素子とが、同一半導体基板上に集積された半導体集積回路装置を製造するにあたり、

前記MOSトランジスタのゲート電極となるゲートポリシリコンを形成した後、前記半導体素子をマスクしながら、前記ゲートポリシリコンをマスクとしたセルフアラインによるイオン注入法により、前記MOSトランジスタの形成領域の一部に前記パンチスルーストッパー領域を形成することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造方法に関し、特にデジタル回路、アナログ回路および高耐圧回路を混載するパワーICに適用して好適な半導体集積回路装置に関する。

【0002】

【従来の技術】

従来、パワーICに搭載されているロジック回路は小規模なものであり、メモリやロジックLSIのような微細化プロセスは不要であった。しかし、近年、パ

ワーICに対するパワーマネージメントの分野などでは、電圧監視や充電機能の高性能化に伴い、CPUなどにより自己補正する必要が生じている。そのため、パワーICに大規模なロジック回路を搭載する必要がある。

【0003】

一般に、メモリやロジックLSIなどでは、高集積化のため、チャネル長が $1\text{ }\mu\text{m}$ よりも短いサブミクロンMOSトランジスタが用いられている。このような短チャネル型のMOSトランジスタでは、ソース領域とドレイン領域との間のパンチスルーパーを抑制するため、パンチスルーストップ層が設けられている。パンチスルーストップ層を備えた半導体集積回路装置については、特開昭61-190983号公報に記載されている。

【0004】

また、特開昭60-10780号公報には、パンチスルーストップ層をイオン注入法により形成する方法が記載されている。また、特開昭60-105277号公報には、ドレイン領域近傍での電界集中を緩和するため、PポケットつきのLDD構造を採用したMOSトランジスタの製造方法が記載されている。

【0005】

【発明が解決しようとする課題】

しかしながら、上述したパンチスルーストップ層を備えたサブミクロンMOSトランジスタを、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードおよび拡散抵抗などと一緒に同一基板上に集積する場合、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードおよび拡散抵抗などにもパンチスルーストップ層が形成されると、その拡散層の表面濃度のばらつきに起因してアナログCMOSトランジスタのしきい値電圧の精度が低下したり、高耐圧MOSトランジスタの耐圧が低下するなどの不具合を引き起こすという問題点がある。

【0006】

本発明は、上記問題点に鑑みてなされたものであって、サブミクロンCMOSトランジスタを、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗などと一緒に、それぞれの

特性を劣化させることなく、同一基板上に混載した半導体集積回路装置を提供することを目的とする。

【0007】

また、本発明の他の目的は、サブミクロンCMOSトランジスタ、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗などを、それぞれの特性を劣化させることなく、同一基板上に混載することが可能な半導体集積回路装置の製造方法を提供することである。

【0008】

【課題を解決するための手段】

上記目的を達成するため、本発明にかかる半導体集積回路装置は、半導体基板の一主面側にパンチスルーストッパー層を形成する際に、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗を形成する領域をマスクし、サブミクロンCMOSトランジスタを形成する領域を露出させてたとえばイオン注入をおこなうことによって、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗を形成する領域にパンチスルーストッパー領域が形成されるのを防ぐ。

【0009】

この発明によれば、同一の半導体基板上に、パンチスルーストッパー領域を備えたサブミクロンCMOSトランジスタと、パンチスルーストッパー領域のないアナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗とが形成される。

【0010】

【発明の実施の形態】

以下に、本発明の実施の形態にかかる半導体集積回路装置について図面を参照しつつ詳細に説明する。

【0011】

実施の形態1.

図1は、本発明の実施の形態1にかかる半導体集積回路装置の要部を示す縦断面図である。この半導体集積回路装置は、同一の半導体基板1上に、デジタル回路を構成するデジタルCMOSトランジスタと、アナログ回路を構成するアナログCMOSトランジスタとが形成されたものである。ただし、図1では、それぞれデジタルNMOSトランジスタ101（同図左側）とアナログNMOSトランジスタ102（同図右側）が示されており、PMOSトランジスタについては省略している。

【0012】

デジタルNMOSトランジスタ101は、P型の半導体基板1の一主面側に設けられたフィールド酸化膜2と、フィールド酸化膜2に囲まれた素子形成領域において半導体基板1の一主面側に設けられたPウェル領域3を備えている。Pウェル領域3において半導体基板1の一主面側には、表面濃度が $5 \times 10^{16} \sim 2 \times 10^{17} / \text{cm}^3$ 程度のP⁻パンチスルーストッパー領域4が設けられている。このP⁻パンチスルーストッパー領域4において半導体基板1の一主面側には、N⁺ソース領域5、ソース側のN⁻LDD領域6、P⁻チャネル形成領域7、ドレイン側のN-LDD領域8およびN⁺ドレイン領域9が設けられている。

【0013】

また、P⁻チャネル形成領域7上にはゲート絶縁膜10を介してゲートポリシリコン11が形成されている。ゲートポリシリコン11の側部にはスペーサ酸化膜12が形成されている。ソース電極13、ゲート電極14およびドレイン電極15は、層間絶縁膜16に開口されたコンタクト穴を介して、それぞれN⁺ソース領域5、ゲートポリシリコン11およびN⁺ドレイン領域9に電気的に接続されている。さらにその上には、図示しない配線やパッシベーション膜などが積層される。

【0014】

上述した構成のデジタルNMOSトランジスタ101とともにデジタルCMOSトランジスタを構成するデジタルPMOSトランジスタは、半導体基板1の一主面側に設けられた図示しないNウェル領域において作製され、その構成はデジタルNMOSトランジスタ101と同様である。ただし、上述したディ

ジタルNMO Sトランジスタ101に関する説明の中で、半導体基板1を除いて、PをNに読み替え、またNをPに読み替える必要がある。

【0015】

上述した構成のデジタルCMOSトランジスタにおいては、たとえば最小チャネル長は0.6μm程度である。また、しきい値電圧は0.8V程度である。このデジタルCMOSトランジスタはロジック回路に使用される。

【0016】

アナログNMO Sトランジスタ102は、P型の半導体基板1の一主面側に設けられたフィールド酸化膜22と、フィールド酸化膜22に囲まれた素子形成領域において半導体基板1の一主面側に設けられたPウェル領域23を備えている。Pウェル領域23において半導体基板1の一主面側には、N⁺ソース領域25、ソース側のN-LDD領域26、P⁻チャネル形成領域27、ドレイン側のN-LDD領域28およびN⁺ドレイン領域29が設けられている。

【0017】

また、P⁻チャネル形成領域27上にはゲート絶縁膜30を介してゲートポリシリコン31が形成されている。ゲートポリシリコン31の側部にはスペーサ酸化膜32が形成されている。ソース電極33、ゲート電極34およびドレイン電極35は、層間絶縁膜36に開口されたコンタクト穴を介してそれぞれN⁺ソース領域25、ゲートポリシリコン31およびN⁺ドレイン領域29に電気的に接続されている。さらにその上には、図示しない配線やバッシベーション膜などが積層される。

【0018】

上述した構成のアナログNMO Sトランジスタ102とともにアナログCMOSトランジスタを構成するアナログPMOSトランジスタは、半導体基板1の一主面側に設けられた図示しないNウェル領域において作製され、その構成はアナログNMO Sトランジスタ102と同様である。ただし、上述したアナログNMO Sトランジスタ102に関する説明の中で、半導体基板1を除いて、PをNに読み替え、またNをPに読み替える必要がある。

【0019】

上述した構成のアナログCMOSトランジスタにおいては、たとえば最小チャネル長は $1.0\text{ }\mu\text{m}$ 程度である。また、しきい値電圧はデジタルCMOSトランジスタよりも低く、 0.6 V 程度である。このアナログCMOSトランジスタは、基準電圧回路、バイアス回路または各種オペアンプ回路など、しきい値電圧の高精度が要求される回路に使用される。そのため、ゲートポリシリコン31の加工バラツキなどをできるだけ抑制する必要があるので、ゲート長は $4\text{ }\mu\text{m}$ 程度以上である。したがって、アナログCMOSトランジスタにおいては微細化は不要である。

【0020】

つぎに、実施の形態1にかかる半導体集積回路装置の製造プロセスについて説明する。図2および図3は、実施の形態1にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。まず、図2に示すように、半導体基板1の一主面側にPウェル領域3, 23、フィールド酸化膜2, 22およびゲート絶縁膜10, 30をそれぞれ公知の方法により形成する。

【0021】

つづいて、アナログNMOSトランジスタ102の形成領域を被覆し、かつデジタルNMOSトランジスタ101の形成領域に対応する窓のパターンを有するマスク（図示せず）を用いて、イオン注入法によりデジタルNMOSトランジスタ101の形成領域にのみP⁻パンチスルーストッパー領域4を形成する。さらに、イオン注入法によりP⁻チャネル形成領域7, 27を形成する。ここまででの状態が図2に示されている。

【0022】

つづいて、図3に示すように、ゲートポリシリコン11, 31を形成し、これらゲートポリシリコン11, 31をマスクとしたセルフアラインにて、イオン注入法によりN-LDD領域6, 8, 26, 28を形成する。つづいて、ゲートポリシリコン11, 31のそれぞれの側部にスペーサ酸化膜12, 32を形成し、これらスペーサ酸化膜12, 32をそれぞれマスクとしたセルフアラインにて、イオン注入法によりN⁺ソース領域5, 25およびN⁺ドレイン領域9, 29を形成する。なお、P⁻パンチスルーストッパー領域4を含む各不純物拡散領域は熱

処理により活性化される。ここまで状態が図3に示されている。

【0023】

つづいて、層間絶縁膜16（層間絶縁膜36と同じ）を積層し、コンタクト穴を開口する。そして、ソース電極13, 33、ゲート電極14, 34およびドレイン電極15, 35をそれぞれパターニングして形成し、図1に示す状態となる。さらにその上に配線およびパッシベーション膜などを形成し、半導体集積回路装置ができる。なお、PMOSトランジスタも同様にして製造される。

【0024】

上述した実施の形態1によれば、同一の半導体基板1上に、パンチスルーストップペー領域4を備えたデジタルNMOSトランジスタ101と、パンチスルーストップペー領域のないアナログNMOSトランジスタ102とが形成されるので、アナログNMOSトランジスタ102においてバラツキ要因となる拡散層を1層減らすことができる。したがって、アナログNMOSトランジスタ102のしきい値電圧の精度低下を防ぐことができる。また、アナログNMOSトランジスタ102のしきい値電圧を低く設定することができる。デジタルPMOSトランジスタおよびアナログPMOSトランジスタにおいても同様である。

【0025】

実施の形態2。

図4は、本発明の実施の形態2にかかる半導体集積回路装置の要部を示す縦断面図である。この半導体集積回路装置は、同一の半導体基板1上に、デジタルCMOSトランジスタを構成するデジタルNMOSトランジスタ111（同図左側）およびデジタルPMOSトランジスタ（図示省略）と、アナログCMOSトランジスタを構成するアナログNMOSトランジスタ102（同図右側）およびアナログPMOSトランジスタ（図示省略）とが形成されたものである。なお、実施の形態1と同じ構成については同一の符号を付してその説明を省略する。

【0026】

デジタルNMOSトランジスタ111は、P型の半導体基板1の一主面側にフィールド酸化膜2、Pウェル領域3、P⁻パンチスルーストップペー領域41、

N^+ ソース領域5、ソース側のN-LDD領域6、P⁻チャネル形成領域7、ドレイン側のN-LDD領域8、 N^+ ドレイン領域9、ゲート絶縁膜10、ゲートポリシリコン11、スペーサ酸化膜12、層間絶縁膜16、ソース電極13、ゲート電極14、およびドレイン電極15を有する。

【0027】

P⁻パンチスルーストッパー領域41は、その表面濃度が $5 \times 10^{16} \sim 2 \times 10^{17} / cm^3$ 程度で、かつN-LDD領域6、8を囲うポケット構造となっている。また、デジタルPMOSトランジスタは、P型の半導体基板1の一主面側に設けられた図示しないNウェル領域において作製され、その構成はデジタルNMOSトランジスタ111の説明においてPとNを読み替えた構成となる。

【0028】

上述した構成のデジタルCMOSトランジスタにおいては、たとえば最小チャネル長は0.6μm程度である。また、しきい値電圧は0.8V程度である。このデジタルCMOSトランジスタはロジック回路に使用される。

【0029】

実施の形態1と同様に、アナログPMOSトランジスタは、半導体基板1の一主面側に設けられた図示しないNウェル領域において作製され、その構成は実施の形態1中のアナログNMOSトランジスタ102の説明においてPとNを読み替えた構成となる。

【0030】

つぎに、実施の形態2にかかる半導体集積回路装置の製造プロセスについて説明する。図5および図6は、実施の形態2にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。まず、図5に示すように、半導体基板1の一主面側にPウェル領域3、23、フィールド酸化膜2、22およびゲート絶縁膜10、30をそれぞれ公知の方法により形成する。

【0031】

つづいて、イオン注入法によりP⁻チャネル形成領域7、27を形成した後、ゲートポリシリコン11、31を形成する。そして、デジタルNMOSトランジスタ111の形成領域にのみ、ゲートポリシリコン11をマスクとしたセルフ

アラインにて、イオン注入法によりポケット構造のP⁻パンチスルーストッパー領域41を形成する。その際、アナログNMOSトランジスタ102の形成領域に不純物が打ち込まれないようにマスクしておく。ここまで状態が図5に示されている。

【0032】

つづいて、図6に示すように、ゲートポリシリコン11, 31をマスクとしたセルフアラインにて、イオン注入法によりN-LDD領域6, 8, 26, 28を形成し、以後、実施の形態1と同様にしてスペーサ酸化膜12, 32、N⁺ソース領域5, 25およびN⁺ドレイン領域9, 29を形成する。P⁻パンチスルーストッパー領域41を含む各不純物拡散領域は熱処理により活性化される。ここまで状態が図6に示されている。

【0033】

しかる後、実施の形態1と同様にして、層間絶縁膜16, 36、ソース電極13, 33、ゲート電極14, 34およびドレイン電極15, 35を形成し、図4に示す状態となる。さらにその上に配線およびパッシバーション膜などを形成し、半導体集積回路装置ができる。なお、PMOSトランジスタも同様にして製造される。

【0034】

上述した実施の形態2によれば、同一の半導体基板1上に、パンチスルーストッパー領域41を備えたディジタルNMOSトランジスタ111と、パンチスルーストッパー領域のないアナログNMOSトランジスタ102とが形成されるので、アナログNMOSトランジスタ102においてバラツキ要因となる拡散層を1層減らすことができる。したがって、アナログNMOSトランジスタ102のしきい値電圧の精度低下を防ぐことができる。また、アナログNMOSトランジスタ102のしきい値電圧を低く設定することができる。ディジタルPMOSトランジスタおよびアナログPMOSトランジスタにおいても同様である。

【0035】

実施の形態3。

図7は、本発明の実施の形態3にかかる半導体集積回路装置の要部を示す縦断

面図である。この半導体集積回路装置は、同一の半導体基板1上に、デジタル回路を構成するデジタルCMOSトランジスタと、高耐圧回路を構成する高耐圧CMOSトランジスタとが形成されたものである。ただし、図7では、それぞれデジタルNMOSトランジスタ101（同図左側）と高耐圧NMOSトランジスタ122（同図右側）が示されており、PMOSトランジスタについては省略している。なお、実施の形態1と同じ構成については同一の符号を付して説明を省略する。

【0036】

高耐圧NMOSトランジスタ122は、P型の半導体基板1の一主面側に設けられたフィールド酸化膜52と、フィールド酸化膜52に囲まれた素子形成領域において半導体基板1の一主面側に設けられたPウェル領域53を備えている。Pウェル領域53において半導体基板1の一主面側には、N⁺ソース領域55、ソース側のN⁻LDD領域56、P⁻チャネル形成領域57およびN⁻オフセットドレイン領域67が設けられている。N⁻オフセットドレイン領域67において半導体基板1の一主面側には、選択酸化（LOCOS）領域68によりP⁻チャネル形成領域57から隔離されたN⁺ドレイン領域59が設けられている。

【0037】

また、P⁻チャネル形成領域57上にはゲート絶縁膜60を介してゲートポリシリコン61が形成されている。ゲートポリシリコン61の側部にはスペーサ酸化膜62が形成されている。ソース電極63、ゲート電極64およびドレイン電極65は、層間絶縁膜66に開口されたコンタクト穴を介してそれぞれN⁺ソース領域55、ゲートポリシリコン61およびN⁺ドレイン領域59に電気的に接続されている。さらにその上には、図示しない配線やパッシバーション膜などが積層される。

【0038】

上述した構成の高耐圧NMOSトランジスタ122とともに高耐圧CMOSトランジスタを構成する高耐圧PMOSトランジスタは、半導体基板1の一主面側に設けられた図示しないNウェル領域において作製され、その構成は高耐圧NMOSトランジスタ122と同様である。ただし、上述した高耐圧NMOSトラン

ジスタ122に関する説明の中で、半導体基板1を除いて、PをNに読み替え、またNをPに読み替える必要がある。

【0039】

上述した構成の高耐圧CMOSトランジスタにおいては、その不純物濃度および x_j は、要求される耐圧に応じて決まる。たとえば、耐圧が30V～60Vクラスでは、 x_j は $1\mu\text{m}$ 程度であり、表面濃度は $1 \times 10^{17}/\text{cm}^3$ 程度である

【0040】

実施の形態1と同様に、デジタルPMOSトランジスタは、半導体基板1の一主面側に設けられた図示しないNウェル領域において作製され、その構成は実施の形態1中のデジタルNMOSトランジスタ101の説明においてPとNを読み替えた構成となる。

【0041】

つぎに、実施の形態3にかかる半導体集積回路装置の製造プロセスについて説明する。図8および図9は、実施の形態3にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。まず、図8に示すように、半導体基板1の一主面側にPウェル領域3, 53、N⁻オフセットドレイン領域67、フィールド酸化膜2, 52と選択酸化（LOCOS）領域68、およびゲート絶縁膜10, 60をそれぞれ公知の方法により形成する。

【0042】

つづいて、高耐圧NMOSトランジスタ122の形成領域を被覆し、かつデジタルNMOSトランジスタ101の形成領域に対応する窓のパターンを有するマスク（図示せず）を用いて、イオン注入法によりデジタルNMOSトランジスタ101の形成領域にのみP⁻パンチスルーストッパー領域4を形成する。さらに、イオン注入法によりP⁻チャネル形成領域7, 57を形成する。ここまで の状態が図8に示されている。

【0043】

つづいて、図9に示すように、ゲートポリシリコン11, 61を形成し、これらゲートポリシリコン11, 61をマスクとしたセルファーラインにて、イオン注

入法によりN-LDD領域6, 8, 56を形成する。つづいて、ゲートポリシリコン11, 61のそれぞれの側部にスペーサ酸化膜12, 62を形成し、これらスペーサ酸化膜12, 62をそれぞれマスクとしたセルフアラインにて、イオン注入法によりN⁺ソース領域5, 55およびN⁺ドレイン領域9を形成する。

【0044】

このとき、N⁺ドレイン領域59の形成領域にもイオン注入がおこなわれ、それによってN⁺ドレイン領域59が形成される。なお、P⁻パンチスルーストッパー領域4を含む各不純物拡散領域は熱処理により活性化される。ここまで状態が図9に示されている。

【0045】

つづいて、層間絶縁膜16（層間絶縁膜66と同じ）を積層し、それにコンタクト穴を開口して、ソース電極13, 63、ゲート電極14, 64およびドレン電極15, 65を形成し、図7に示す状態となる。さらにその上に配線およびパッシバーション膜などを形成し、半導体集積回路装置ができる。なお、PMOSトランジスタも同様にして製造される。

【0046】

上述した実施の形態3によれば、同一の半導体基板1上に、パンチスルーストッパー領域4を備えたディジタルNMOSトランジスタ101と、パンチスルーストッパー領域のない高耐圧NMOSトランジスタ122とが形成されるので、高耐圧NMOSトランジスタ122の耐圧の低下を防ぐことができる。ディジタルPMOSトランジスタおよび高耐圧PMOSトランジスタにおいても同様である。

【0047】

なお、実施の形態3において、ディジタルNMOSトランジスタ101のパンチスルーストッパー領域4を、実施の形態2と同様に、ゲートポリシリコン11をマスクとしたセルフアラインで形成し、ポケット構造とすることもできる。

【0048】

実施の形態4.

図10は、本発明の実施の形態4にかかる半導体集積回路装置の要部を示す縦

断面図である。この半導体集積回路装置は、同一の半導体基板1上に、デジタル回路を構成するデジタルCMOSトランジスタと、高耐圧回路を構成する高耐圧CMOSトランジスタとが形成されたものである。

【0049】

ただし、図10では、それぞれデジタルNMOSトランジスタ101（同図左側）と高耐圧NMOSトランジスタ132（同図右側）が示されており、PMOSトランジスタについては省略している。なお、実施の形態1と同じ構成については同一の符号を付して説明を省略する。

【0050】

高耐圧NMOSトランジスタ132は、実施の形態3にかかる半導体集積回路装置の高耐圧NMOSトランジスタ122のソース部にP⁻パンチスルーストッパー領域71を追加した構成となっている。したがって、実施の形態3と同じ構成については同一の符号を付して説明を省略する。P⁻パンチスルーストッパー領域71は、Pウェル領域53において半導体基板1の一主面側で、かつN⁺ソース領域55およびソース側のN-LDD領域56を囲うように形成されている。

【0051】

上述した構成の高耐圧NMOSトランジスタ132とともに高耐圧CMOSトランジスタを構成する高耐圧PMOSトランジスタは、半導体基板1の一主面側に設けられた図示しないNウェル領域において作製され、その構成は高耐圧NMOSトランジスタ132と同様である。ただし、上述した高耐圧NMOSトランジスタ132に関する説明の中で、半導体基板1を除いて、PをNに読み替え、またNをPに読み替える必要がある。

【0052】

上述した構成の高耐圧CMOSトランジスタの不純物濃度およびx_jは、要求される耐圧に応じて決まるが、たとえば、耐圧が30V～60Vクラスでは、x_jは1μm程度であり、表面濃度は $1 \times 10^{17} / \text{cm}^3$ 程度である。

【0053】

実施の形態1と同様に、デジタルPMOSトランジスタは、半導体基板1の

一主面側に設けられた図示しないNウェル領域において作製され、その構成は実施の形態1中のディジタルNMOSトランジスタ101の説明においてPとNを読み替えた構成となる。

【0054】

つぎに、実施の形態4にかかる半導体集積回路装置の製造プロセスについて説明する。図11および図12は、実施の形態4にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。まず、図11に示すように、半導体基板1の一主面側にPウェル領域3, 53、N⁻オフセットドレイン領域67、フィールド酸化膜2, 52と選択酸化（LOCOS）領域68、およびゲート絶縁膜10, 60をそれぞれ公知の方法により形成する。

【0055】

つづいて、高耐圧NMOSトランジスタ132のドレイン形成領域を被覆し、かつ高耐圧NMOSトランジスタ132のソース形成領域とディジタルNMOSトランジスタ101の形成領域に対応する窓のパターンを有するマスク（図示せず）を用いて、イオン注入法により、高耐圧NMOSトランジスタ132のソース形成領域にP⁻パンチスルーストッパー領域71を形成するとともに、ディジタルNMOSトランジスタ101の形成領域にP⁻パンチスルーストッパー領域4を形成する。さらに、イオン注入法によりP⁻チャネル形成領域7, 57を形成する。ここまで状態が図11に示されている。

【0056】

つづいて、図12に示すように、ゲートポリシリコン11, 61を形成し、これらゲートポリシリコン11, 61をマスクとしたセルフアラインにて、イオン注入法によりN⁻LDD領域6, 8, 56を形成する。つづいて、ゲートポリシリコン11, 61のそれぞれの側部にスペーサ酸化膜12, 62を形成し、これらスペーサ酸化膜12, 62をそれぞれマスクとしたセルフアラインにて、イオン注入法によりN⁺ソース領域5, 55およびN⁺ドレイン領域9を形成する。

【0057】

このとき、N⁺ドレイン領域59の形成領域にもイオン注入がおこなわれ、それによってN⁺ドレイン領域59が形成される。なお、P⁻パンチスルーストッパー

一領域4、71を含む各不純物拡散領域は熱処理により活性化される。ここまで
の状態が図12に示されている。

【0058】

つづいて、層間絶縁膜16（層間絶縁膜66と同じ）を積層し、それにコンタクト穴を開口して、ソース電極13、63、ゲート電極14、64およびドレン電極15、65を形成し、図10に示す状態となる。さらにその上に配線およびパッシバーション膜などを形成し、半導体集積回路装置ができる。なお、PMOSトランジスタも同様にして製造される。

【0059】

上述した実施の形態4によれば、同一の半導体基板1上に、パンチスルーストップバー領域4を備えたディジタルNMOSトランジスタ101と、ドレン部にパンチスルーストップバー領域がなく、かつソース部にパンチスルーストップバー領域71を有する高耐圧NMOSトランジスタ132とが形成されるので、高耐圧NMOSトランジスタ132の耐圧の低下を防ぐことができるので加えて、高耐圧NMOSトランジスタ132のチャネル長をより短くする、すなわち微細化することができる。ディジタルPMOSトランジスタおよび高耐圧PMOSトランジスタにおいても同様である。

【0060】

なお、実施の形態4において、ディジタルNMOSトランジスタ101のパンチスルーストップバー領域4を、実施の形態2と同様に、ゲートポリシリコン11をマスクとしたセルフアラインで形成し、ポケット構造とすることもできる。

【0061】

以上において本発明は、ディジタルCMOSトランジスタと、アナログCMOSトランジスタまたは高耐圧CMOSトランジスタとを同一基板上に集積する場合に限らず、ディジタルCMOSトランジスタおよびアナログCMOSトランジスタとバイポーラトランジスタとを集積する場合にも適用可能である。この場合には、たとえば図13に示すように、ウェル領域83をバイポーラトランジスタ201のコレクタ領域とし、ウェル領域83内の、ウェル領域83と反対の導電型の半導体領域87をベース領域とし、さらにそのベース領域となる半導体領域

87内のソース・ドレイン領域に該当する半導体領域89をエミッタ領域とすればよい。たとえばn p nトランジスタの場合には、ウェル領域83はN型、ベース領域となる半導体領域87はP型、エミッタ領域となる半導体領域89はN型となる。そして、パンチスルーストッパー領域はデジタルCMOSトランジスタにのみ設けられる。ベース領域となる半導体領域87は、たとえば実施の形態3においてオフセットドレイン67を形成する際に同時形成される。なお、図13において、符号82は選択酸化領域、符号84および符号85はコンタクト用の高濃度不純物領域、符号86は層間絶縁膜、符号90はコレクタ電極、符号91はベース電極、符号92はエミッタ電極である。

【0062】

また、本発明は、デジタルCMOSトランジスタおよびアナログCMOSトランジスタとダイオードとを集積する場合にも適用可能である。この場合には、たとえば図13に示す構成において、ウェル領域83とベース領域となる半導体領域87とのPN接合、あるいはベース領域となる半導体領域87とエミッタ領域となる半導体領域89とのPN接合を用いてダイオードを構成し、デジタルCMOSトランジスタにのみパンチスルーストッパー領域を設ければよい。

【0063】

さらには、デジタルCMOSトランジスタおよびアナログCMOSトランジスタと拡散抵抗とを集積する場合にも適用可能である。この場合には、たとえば図14に示すように、ウェル領域93上に形成した不純物拡散領域97を利用して拡散抵抗211を構成し、デジタルCMOSトランジスタにのみパンチスルーストッパー領域を設ければよい。この不純物拡散領域97は、たとえば実施の形態3においてオフセットドレイン67を形成する際に同時形成される。ここで、拡散抵抗211は、たとえばxjが0.5~2.5μm程度であり、表面の不純物濃度が $1 \times 10^{16} \sim 5 \times 10^{18} / cm^3$ 程度である。なお、図14において、符号94は選択酸化領域、符号95はコンタクト用の高濃度不純物領域、符号96は層間絶縁膜、符号98は電極である。

【0064】

【発明の効果】

本発明によれば、同一の半導体基板上に、パンチスルーストッパー領域を備えたサブミクロンCMOSトランジスタと、パンチスルーストッパー領域のないアナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗などが形成されるので、それぞれの特性を劣化させることなく、サブミクロンCMOSトランジスタを、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗などと一緒に混載した半導体集積回路装置が得られるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明の実施の形態1にかかる半導体集積回路装置の要部を示す縦断面図である。

【図2】

本発明の実施の形態1にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図3】

本発明の実施の形態1にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図4】

本発明の実施の形態2にかかる半導体集積回路装置の要部を示す縦断面図である。

【図5】

本発明の実施の形態2にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図6】

本発明の実施の形態2にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図7】

本発明の実施の形態3にかかる半導体集積回路装置の要部を示す縦断面図であ

る。

【図8】

本発明の実施の形態3にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図9】

本発明の実施の形態3にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図10】

本発明の実施の形態4にかかる半導体集積回路装置の要部を示す縦断面図である。

【図11】

本発明の実施の形態4にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図12】

本発明の実施の形態4にかかる半導体集積回路装置の製造段階における要部を示す縦断面図である。

【図13】

本発明にかかる半導体集積回路装置においてバイポーラトランジスタが集積された部分の要部を示す縦断面図である。

【図14】

本発明にかかる半導体集積回路装置において拡散抵抗が集積された部分の要部を示す縦断面図である。

【符号の説明】

1 半導体基板

4, 41, 71 パンチスルーストッパー領域

5, 55 ソース領域

9, 59 ドレイン領域

67 オフセットドレイン領域

101, 111 ディジタルNMOSトランジスタ（第1のMOSトランジス

タ)

102 アナログNMOSトランジスタ（第2のMOSトランジスタ）

122, 132 高耐圧NMOSトランジスタ

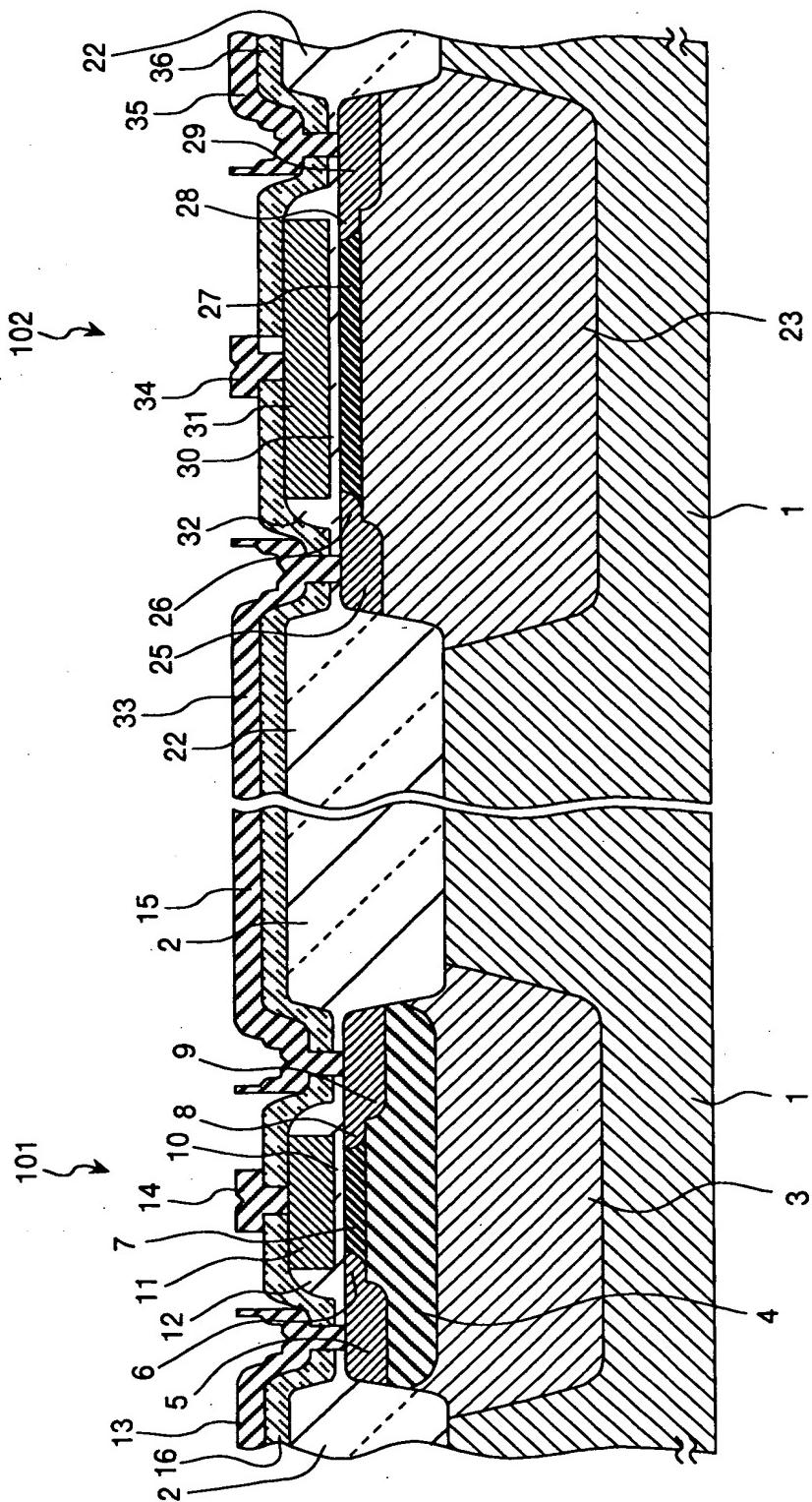
201 バイポーラトランジスタ

211 拡散抵抗

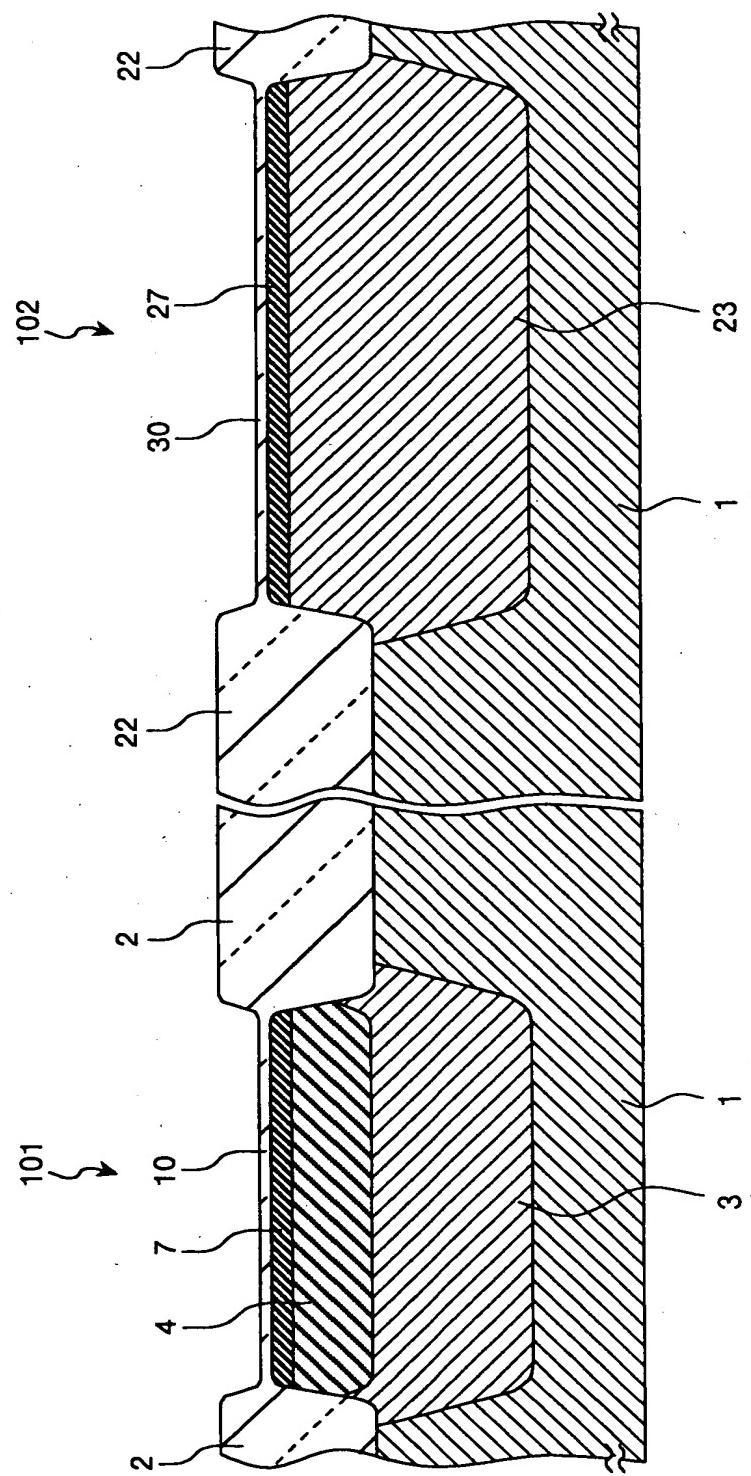
【書類名】

図面

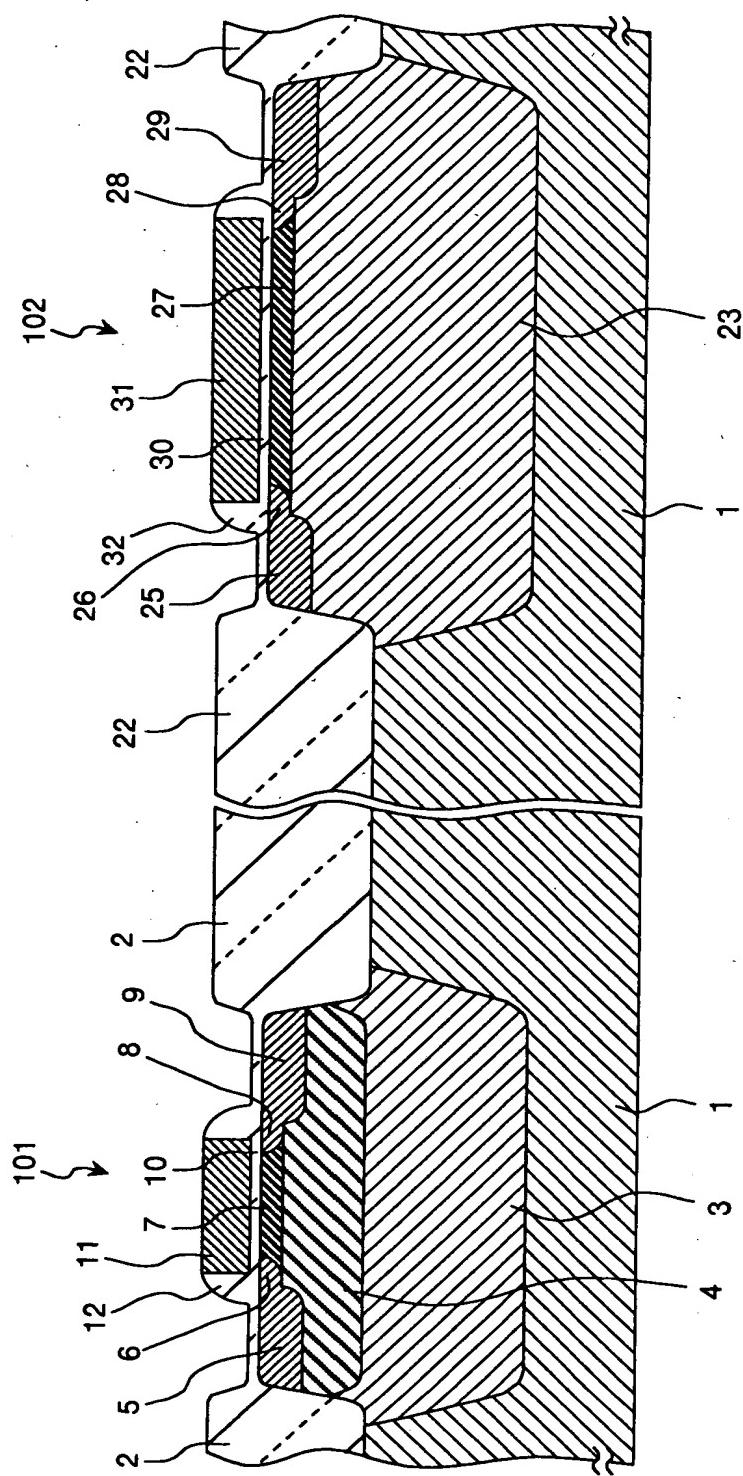
【図1】



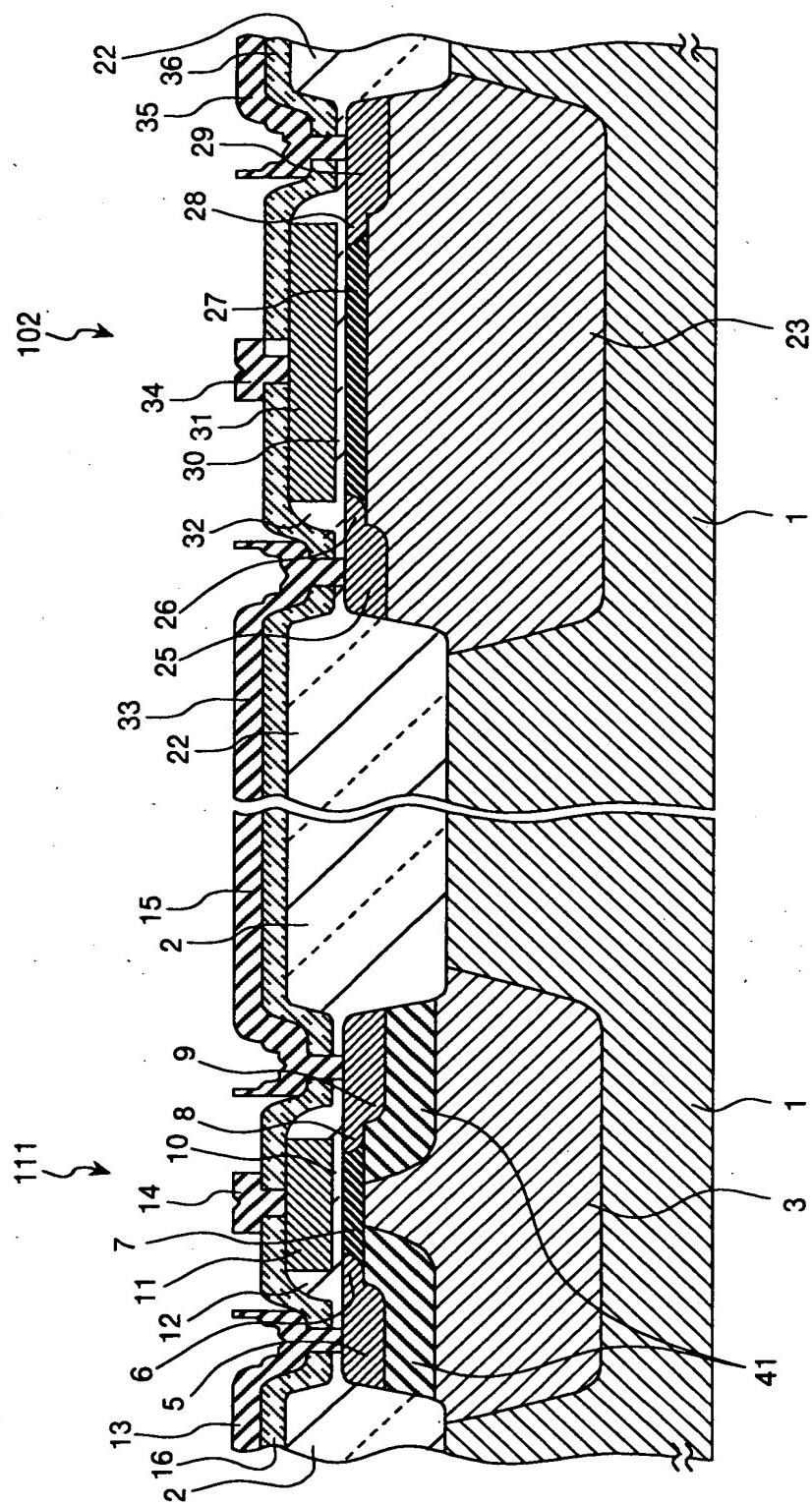
【図2】



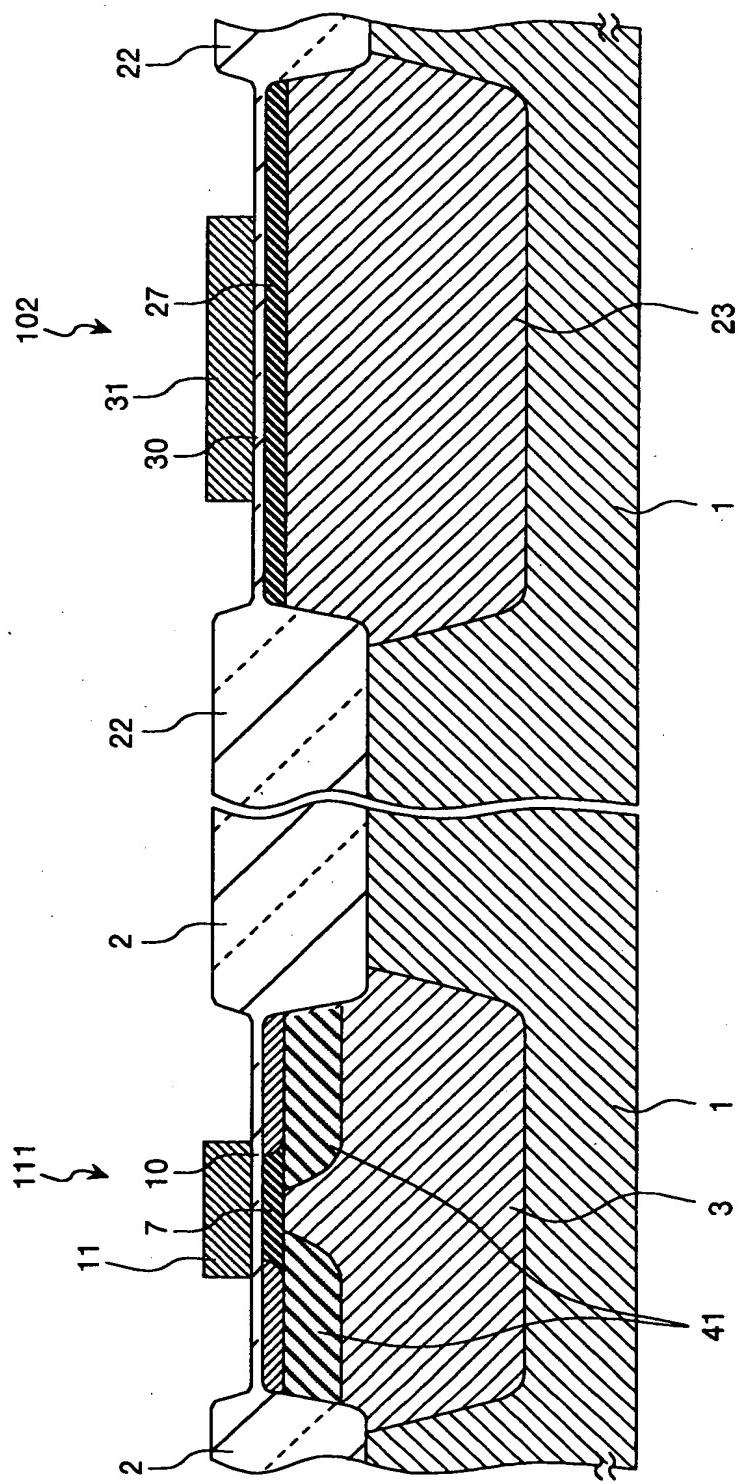
【図3】



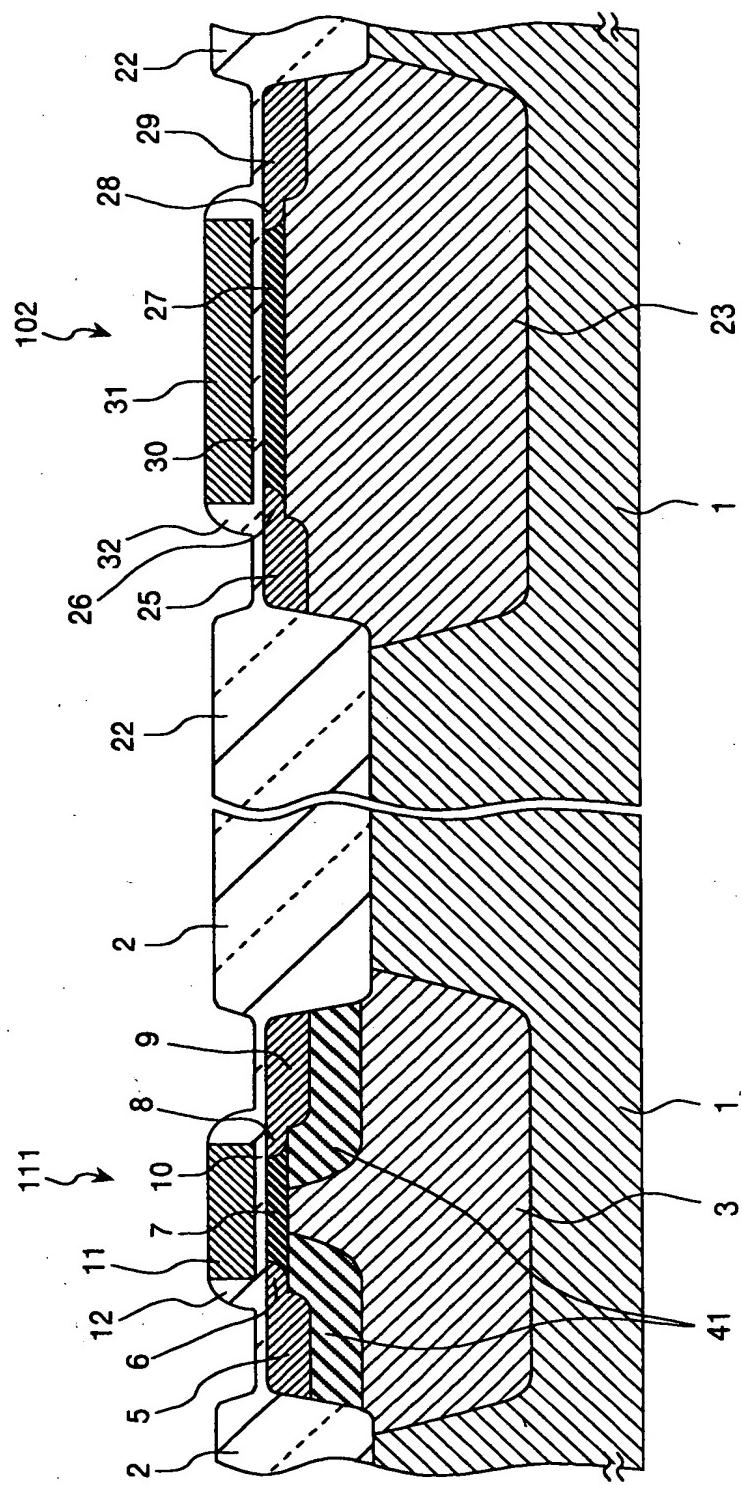
【図4】



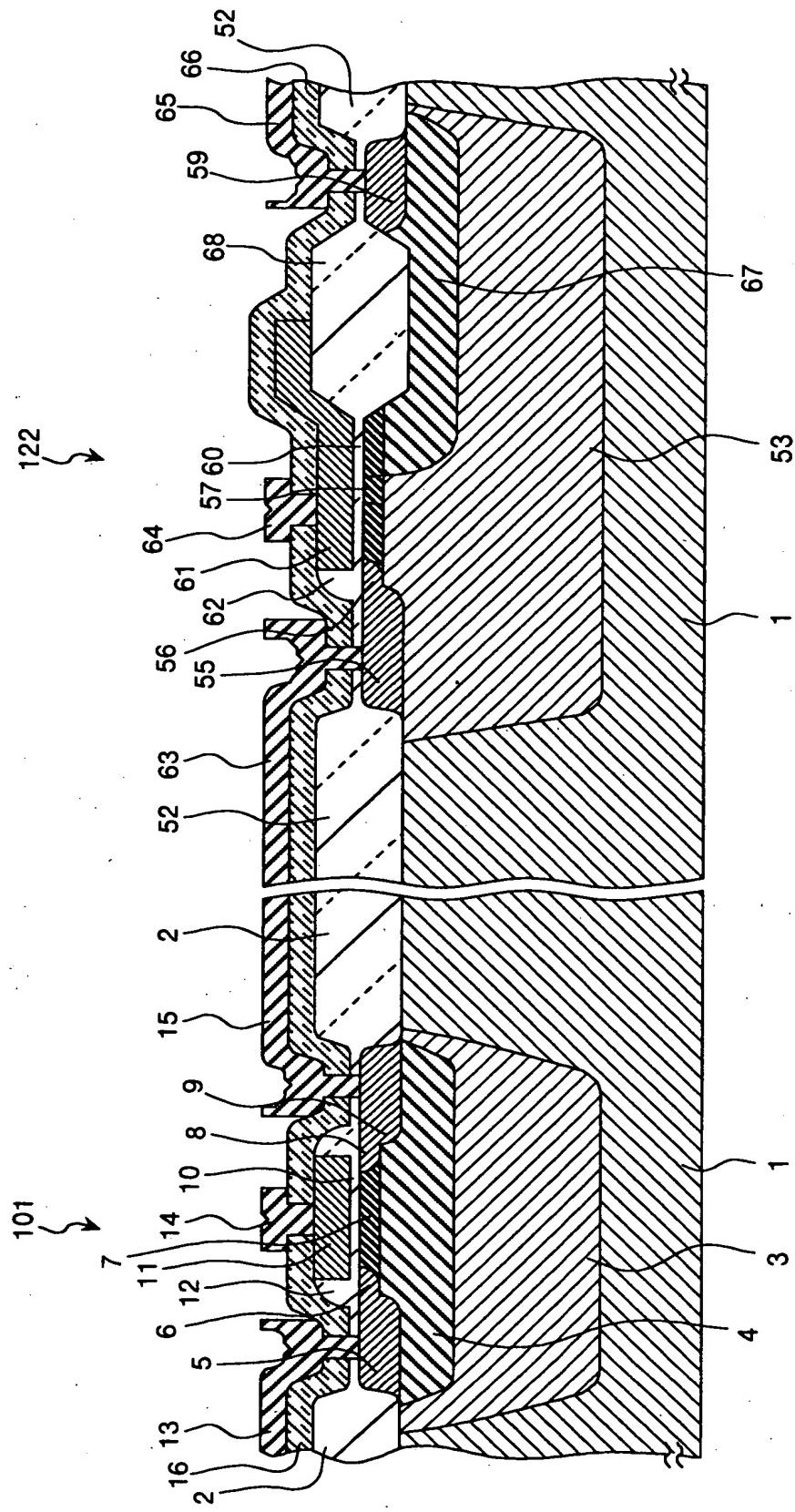
【図5】



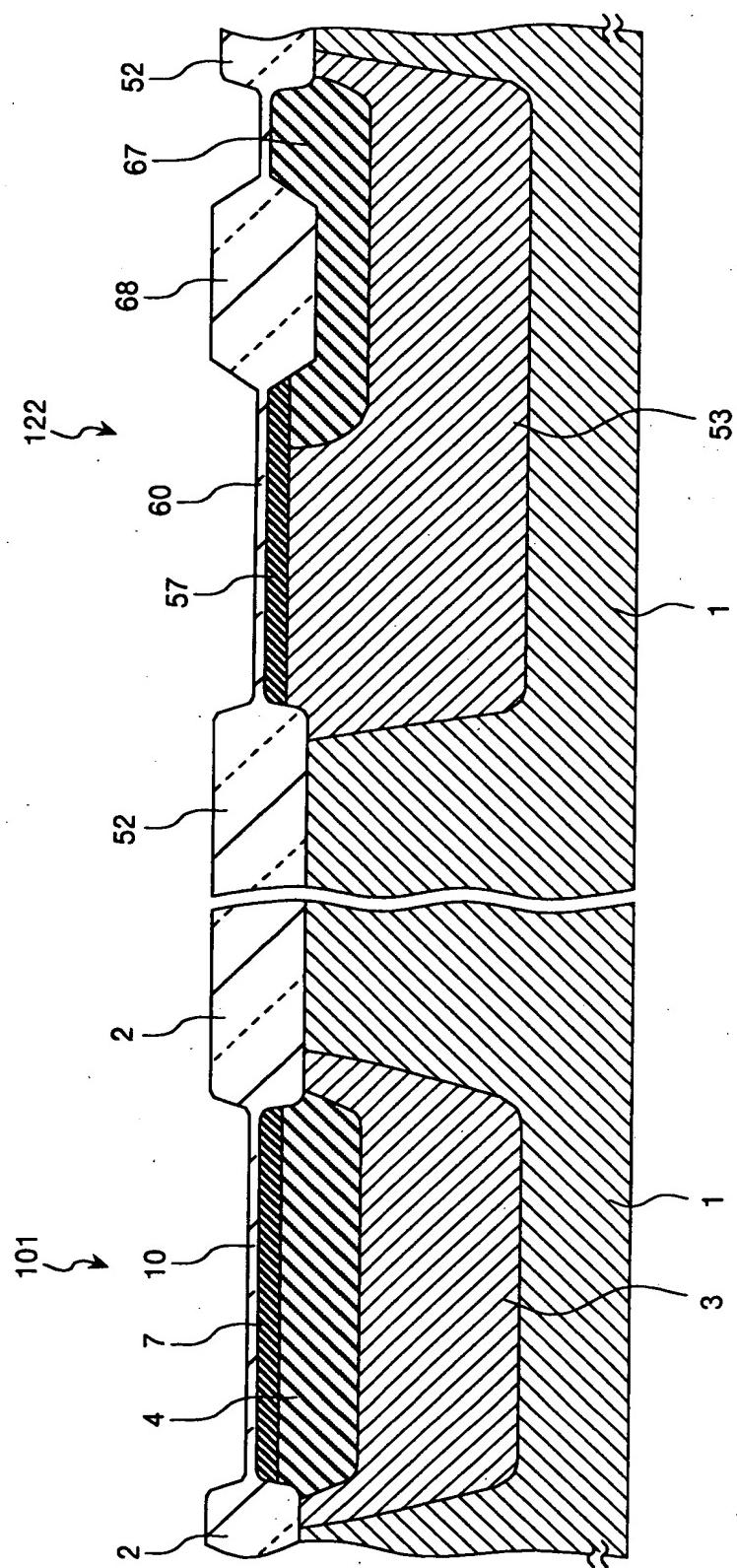
【図6】



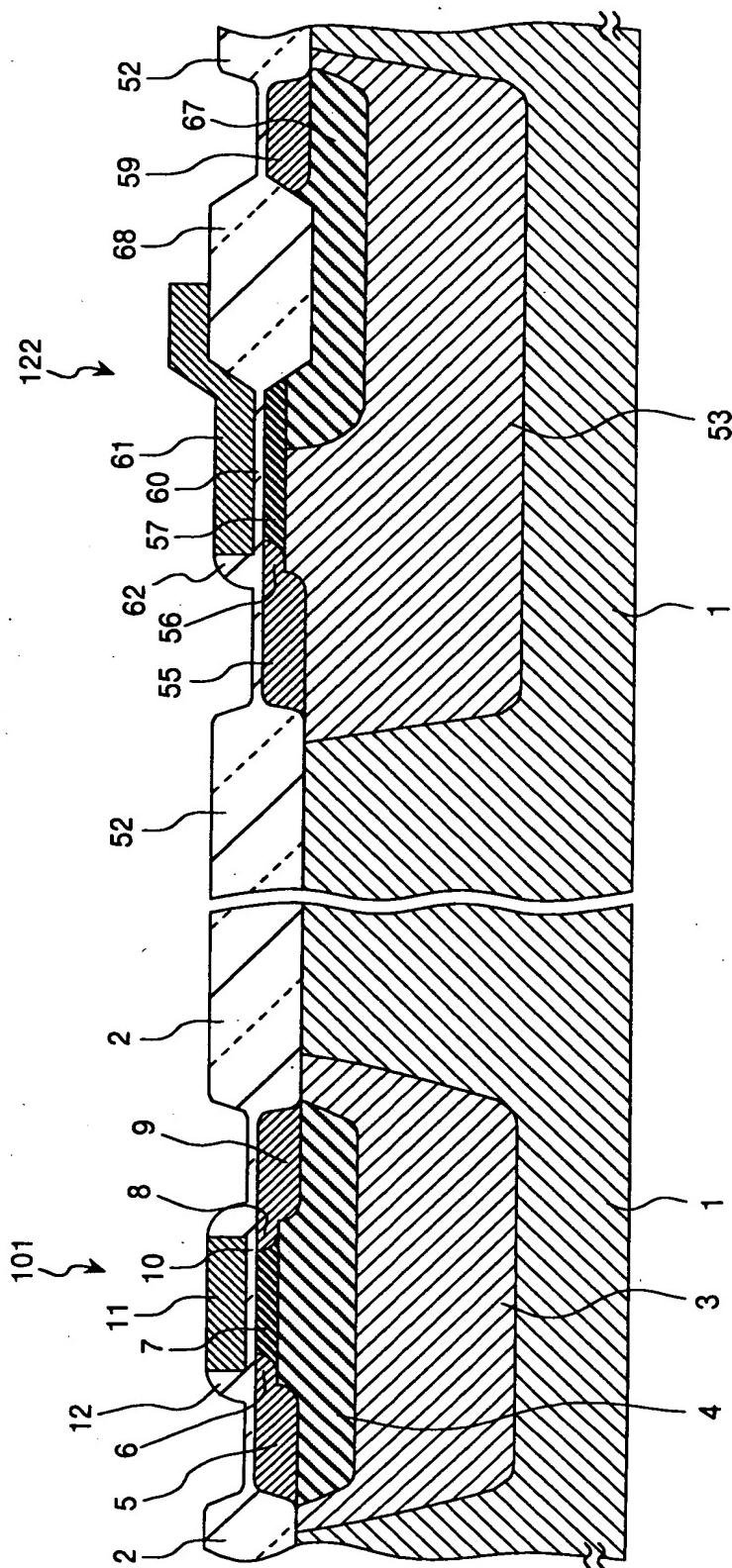
【図7】



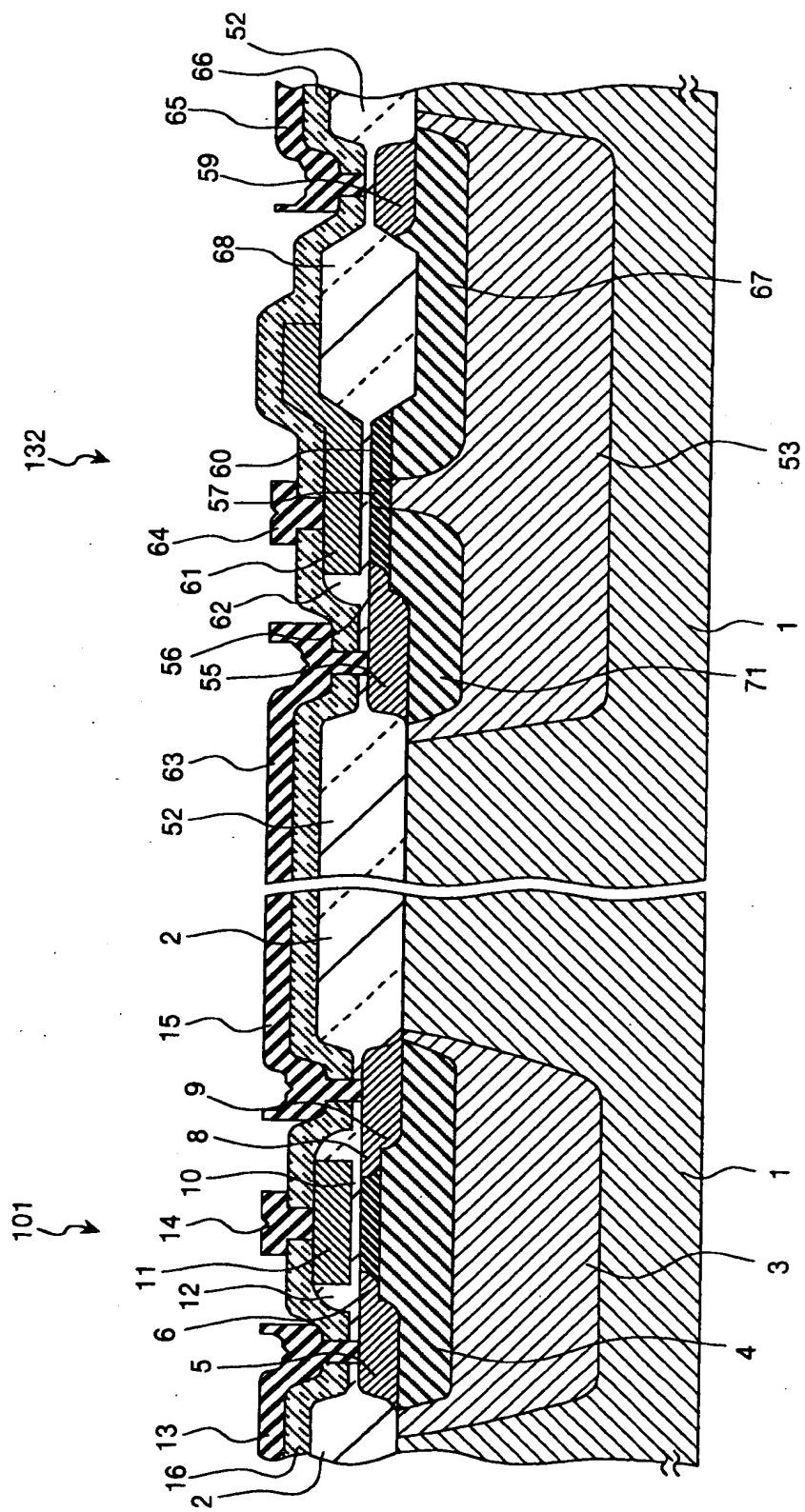
【図8】



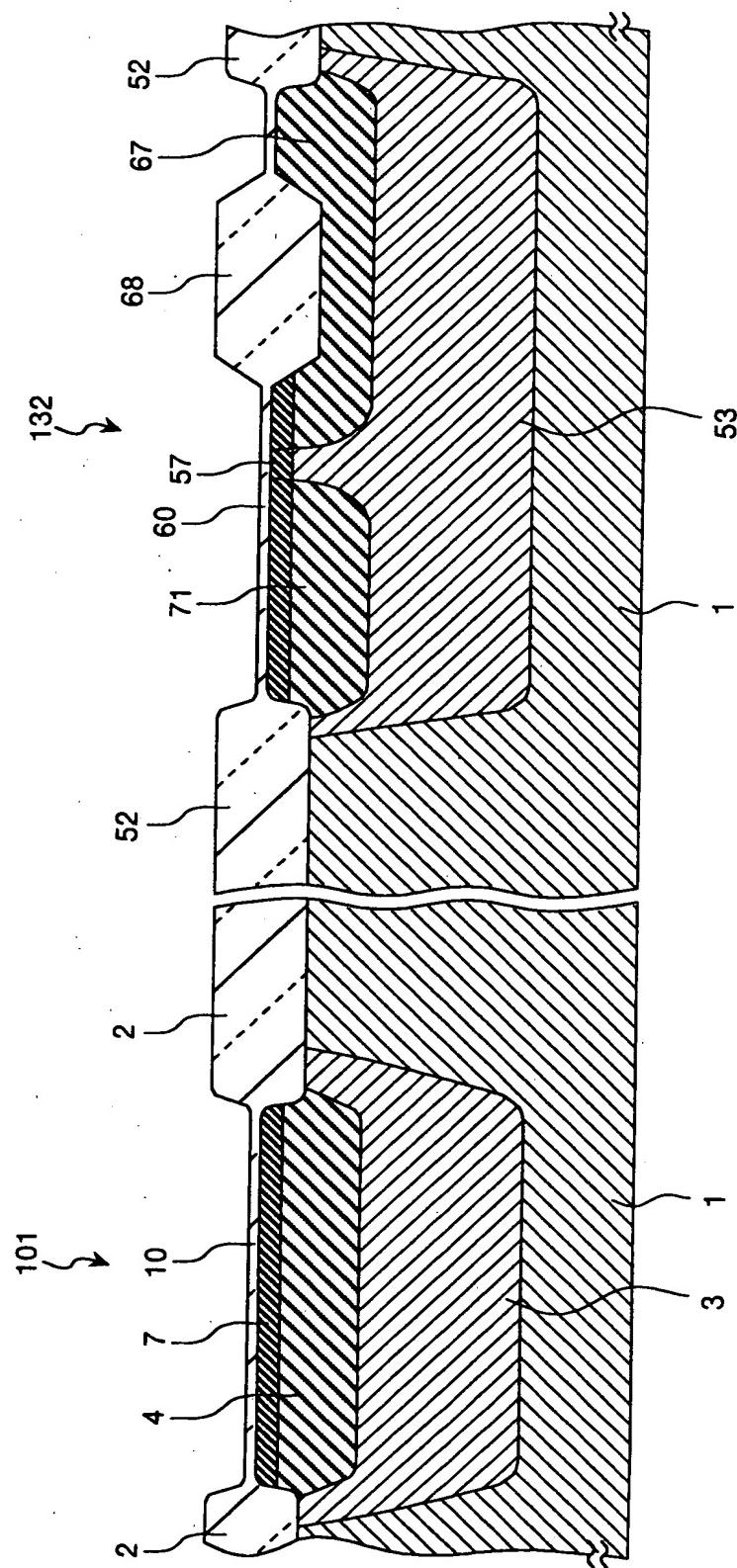
【図9】



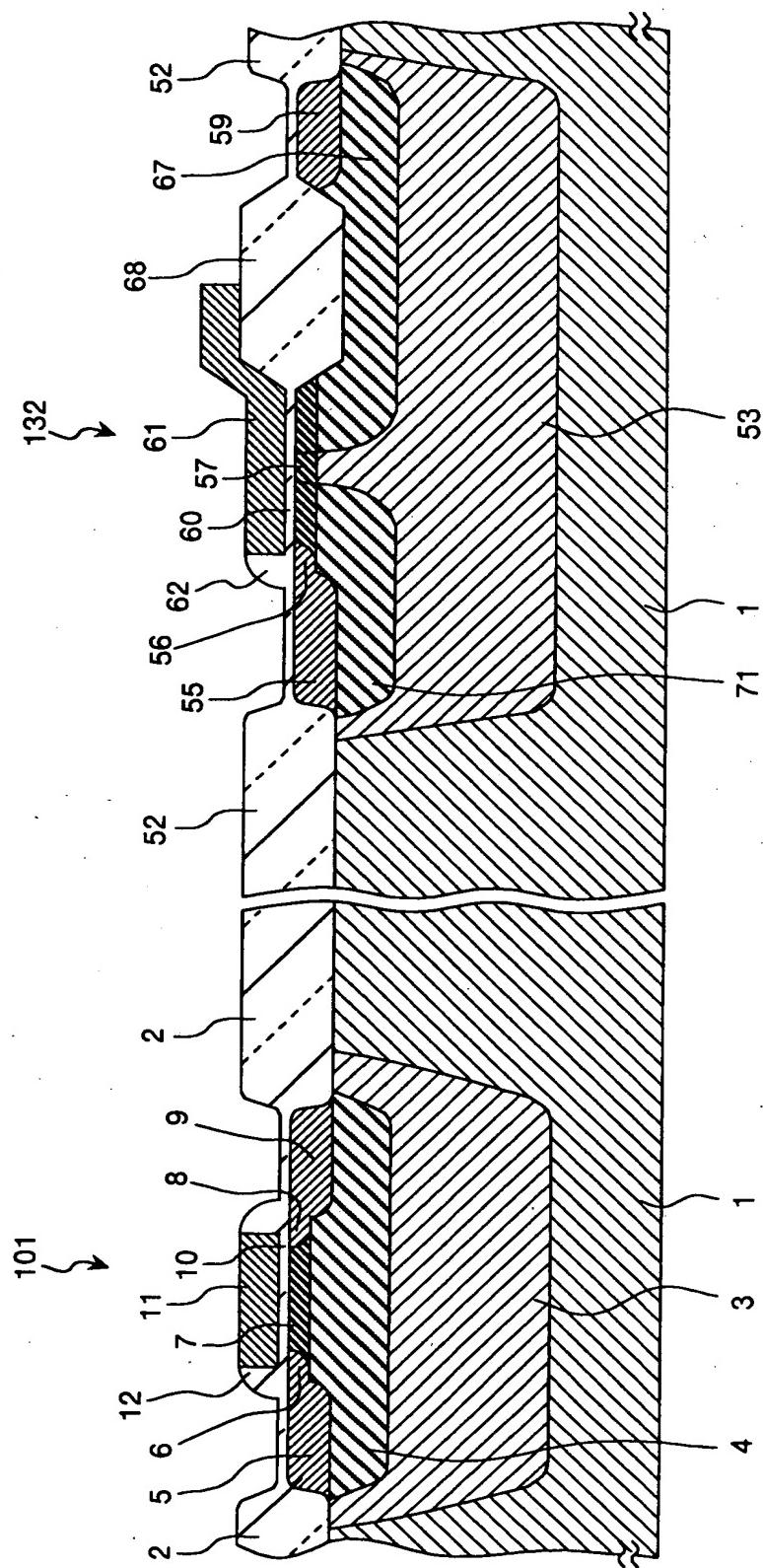
【図10】



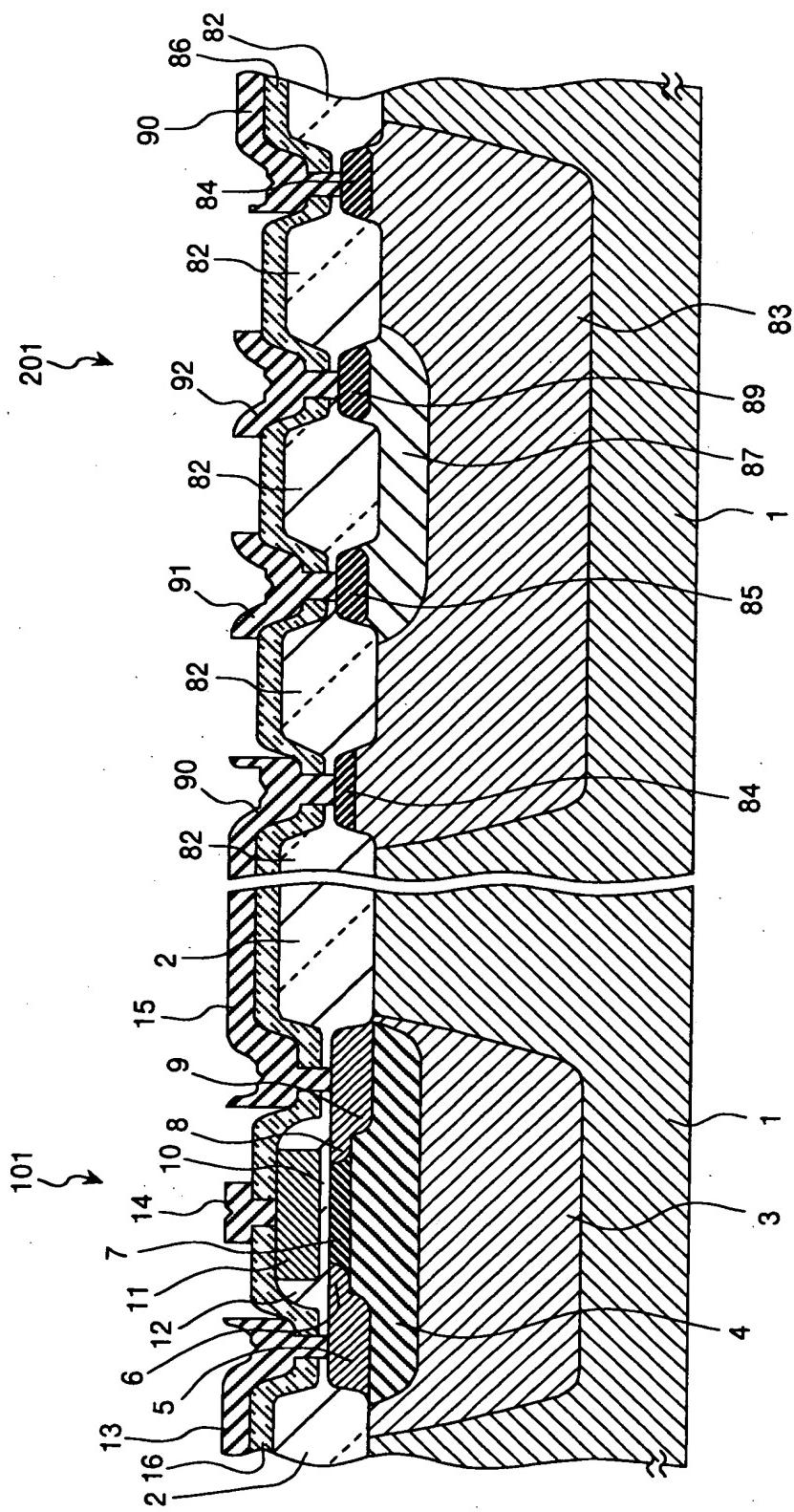
【図11】



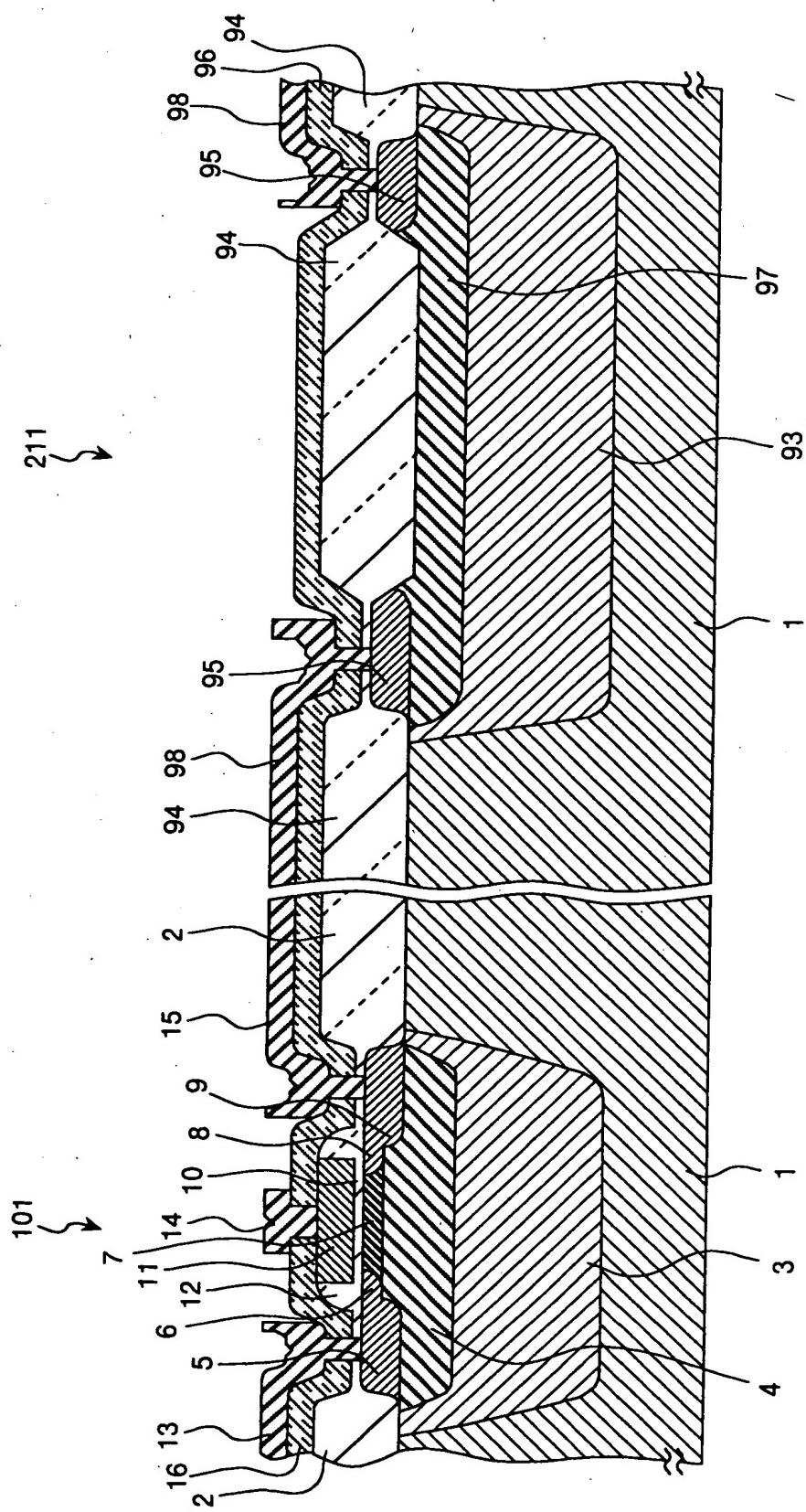
【図12】



【図13】



【図14】



【書類名】 要約書

【要約】

【課題】 サブミクロンCMOSトランジスタを、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗などと一緒に、それぞれの特性を劣化させることなく、同一基板上に混載すること。

【解決手段】 半導体基板1の一主面側にパンチスルーストッパー層を形成する際に、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗を形成する領域をマスクしてたとえばイオン注入をおこなう。それによって、サブミクロンCMOSトランジスタの形成領域にパンチスルーストッパー領域4を形成するとともに、アナログCMOSトランジスタ、高耐圧MOSトランジスタ、バイポーラトランジスタ、ダイオードまたは拡散抵抗の形成領域にパンチスルーストッパー領域が形成されるのを防ぐ。

【選択図】 図1

出願人履歴情報

識別番号 [000005234]

1. 変更年月日 1990年 9月 5日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区田辺新田1番1号

氏 名 富士電機株式会社